

Docket No.: P2002,0598

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : JOERG VOLLRATH ET AL.
Filed : CONCURRENTLY HEREWITH
Title : CIRCUIT CONFIGURATION FOR THE BIT-PARALLEL
OUTPUTTING OF A DATA WORD

CLAIM FOR PRIORITY

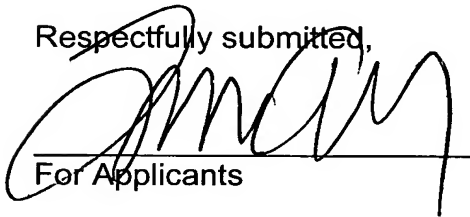
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 32 003.9, filed July 15, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



For Applicants

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: July 15, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 32 003.9

Anmeldetag: 15. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Schaltungsanordnung zur bitparallelen
Ausgabe eines Datenwortes

IPC: G 11 C 7/06

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 03. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Jerofsky

Beschreibung

Schaltungsanordnung zur bitparallelen Ausgabe eines Datenwortes

5

Die Erfindung betrifft eine Schaltungsanordnung zur bitparallelen Ausgabe eines Datenwortes.

10

Die Speicherzellen in einem Halbleiterspeicher sind üblicherweise in einem matrixartigen Raster aus Zeilen und Spalten angeordnet. Für ein Auslesen der darin gespeicherten Informationen sind Signalleitungen vorgesehen, über die Bitgruppen in Form von Datenworten parallel übertragen werden. Es werden unterschiedliche logische Zustände "0" und "1" übertragen, die sich im Spannungspegel unterscheiden. Der logische Zustand "0" entspricht beispielsweise einer Spannung 0V, der logische Zustand "1" beispielsweise einer Spannung 2,5V.

15

Integrierte Schaltkreise werden zur Steigerung des Datendurchsatzes mit steigenden Verarbeitungsgeschwindigkeiten und höheren Übertragungsfrequenzen betrieben. Die Daten werden über Hochgeschwindigkeitsübertragungstrecken an die nachgeschaltete Peripherie übertragen. Insbesondere hohe Übertragungsfrequenzen führen zu vermehrter Verzerrung, Interferenz und Störung der zu übertragenden Signale und beeinträchtigen die Signalqualität und Detektierbarkeit.

20

In Abhängigkeit der an die Signalleitungen angeschlossene Peripherie ergeben sich an den Ausgangstreibern eines Speicherchips unterschiedliche Lastverhalten, die das Ausgabezeitverhalten der zu übertragenden Daten wesentlich beeinflussen. Die Übertragung der Signale erfolgt bei großer Ausgangslast verzögert, weiterhin werden die Signalcharakteristiken, wie zum Beispiel die Steilheit von steigender und fallender Flanke, verändert bzw. verzerrt. Die Anzahl der bei der Übertragung eines Datenwortes sich ändernde Signalzustände, wie beispielsweise der Signalzustandswechsel von einer logischen "0"

30

35

auf eine logische "1" und umgekehrt, hat Einfluß auf die Signalausgangscharakteristiken, insbesondere auch auf das Zeitverhalten bei der Signalausgabe. Die Signalzustände der parallel zu übertragenden Bits von Datenworten bewirken beispielsweise bei einem Datenwort, bei dem alle Bits den logischen Wert "1" aufweisen, eine verlangsamte Ausgabe gegenüber Datenworten, bei denen die Bits gemischte Signalzustände mit logischen "1"en und logischen "0"en aufweisen. Zur Verstärkung eines zu übertragenden Signals werden den Speichern Verstärkerstufen nachgeschaltet, die ein angelegtes Signal um einen festgelegten, den Spezifikationen entsprechenden Faktor verstärken.

Der Betrieb einer oder mehrerer Verstärkerstufen in hochfrequenten Schaltungsumgebungen erfordert zunehmend eine sehr schnelle Umschaltung von wechselnden Signalzuständen, insbesondere zur Verbesserung der Ausgangssignalcharakteristiken. Zum Auslesen von Daten beispielsweise eines integrierten Halbleiterspeichers werden Verstärkerschaltungen unterschiedlicher Art eingesetzt.

Ein Verstärker ist zum Auslesen eines Bits eines Datensignals mit einer Datenleitung verbunden, auf der das ein Bit repräsentierende Signal übertragen wird. In einem integrierten Speicher mit einem matrixförmigen Speicherzellenfeld werden die Speicherzellen Wortleitungen und Bitleitungen (bzw. Zeilen- und Spaltenleitungen) zugeordnet. Die übertragenen Daten werden jeweils durch einen Leseverstärker detektiert und verstärkt. Die Daten werden über mehrere den Datenlesepfad einstellende Funktionseinheiten an nachgeschaltete Verstärker- oder Treiberstufen, sogenannte Ausgangstreiber, weitergeleitet. Die Ausgangstreiber weisen vielfach komplementäre Feldeffekttransistoren eines p-Kanal-Typs und eines n-Kanal-Typs auf, die in Reihe geschaltet sind. Den p-Kanal- und n-Kanal-Feldeffekttransistoren können mehrere gleichartige Transistoren parallel geschaltet sein, die eine weitere Verstärkerstufe darstellen.

Ein an eine Verstärkerstufe angelegtes Eingangssignal wird um einen bestimmten Faktor verstärkt. Bisher kann die Treiberstärke einer Verstärkerstufe sowie die Anzahl der wirksamen Verstärkerstufen einer Schaltungsanordnung nur im Herstellungsprozess eingestellt und verändert werden. Für eine entsprechend benötigte Ausgangsleistung einer Verstärkerstufe wird der Verstärkungsfaktor abhängig von Fertigungstoleranzen und Bauteilspezifikationen im Fertigungsprozess bestimmt. Zusätzlich kann im Fertigungsprozess die Anzahl der oben erwähnten parallel zu den Haupttransistoren geschalteten Feldeffekttransistoren und damit die Anzahl der Verstärkerstufen durch Zuschalten oder Abtrennen von Leiterbahnzügen verändert werden. Durch das Zu- oder Abtrennen von parallel geschalteten Feldeffekttransistoren wird die Treiberstärke eingestellt. Diese kann jedoch nach Abschluß des Fertigungsprozesses nicht mehr verändert werden. Somit ist der Verstärkungsfaktor einer Verstärkerstufe fest vorgegeben. Die in den integrierten Schaltkreisen vorzufindenden Verstärkerstufen ermöglichen keine bedarfsgerechte Zu- oder Abschaltung von Verstärkerstufen, um Signalcharakteristiken und Durchsatzgeschwindigkeiten an den Übergabepunkten, den sogenannten Pads, anzupassen.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung vorzusehen, die als Verstärkerstufe geeignet ist, Laufzeitverzögerungen bei der bitweise parallelen Übertragung eines Datenwortes zu vermeiden und die Signalqualität zu verbessern.

Diese Aufgabe wird erfindungsgemäß gelöst durch eine Schaltungsanordnung zur parallelen Ausgabe eines Datenwortes mit einer ersten und zumindest einer weiteren Signalleitung, die parallel mindestens zwei Bits repräsentierende Datensignale eines mindestens zwei Bits umfassenden Datenwortes bereitstellen, einem ersten und zumindest einem weiteren Ausgangsanschluß zum Abgriff der die Bits repräsentierenden ver-

stärkten Datensignale des Datenwortes, einer Steuereinrichtung, die eingangsseitig mit den Signalleitungen verbunden ist und die an jedem ihrer mindestens zwei Eingänge die Signalfzustände der die Bits repräsentierenden Datensignale von
5 mindestens zwei aufeinanderfolgenden Datenworten feststellt und ausgangsseitig mindestens zwei Ausgänge zur Ausgabe eines Steuersignals aufweist sowie eine erste und zumindest weitere Treiberstufe, denen jeweils eingangsseitig ein Datensignal zugeführt wird und die ausgangsseitig mit den Ausgangsanschlüssen verbunden sind. Je einem Eingangs- und einem Ausgangsanschluß der ersten und weiteren Treiberstufe ist eine
10 zusätzliche Treiberstufe parallel geschaltet, wobei je ein Eingang der zusätzlichen Treiberstufen mit einem der Ausgänge der Steuereinrichtung verbunden ist, um eines der von der
15 Steuereinrichtung erzeugten Steuersignale zu empfangen, um die zusätzlichen Treiberstufen freizugeben oder abzuschalten.

Die erfindungsgemäße Schaltungsanordnung ist vorteilhaft einsetzbar zur zusätzlichen Verstärkung der auf den Signalleitungen zu übertragenden Datensignale, indem die zusätzliche
20 Treiberstufen über Steuersignale der vorgeschalteten Steuereinrichtung zusätzlich parallel zu den jeweiligen Haupttransistoren bzw. ersten und weiteren Treiberstufen zugeschaltet werden können und somit eine zusätzliche Verstärkung der zu
25 übertragenden Datensignale vornehmen.

Die Ausgabe eines Datenwortes aus einem Halbleiterspeicher kann beispielsweise über 4-, 8- oder 16-Bit breite Datenworte erfolgen, das heißt, daß die Ausgabe des Datenwortes bitweise
30 parallel über eine entsprechende Anzahl an Signalleitungen erfolgt. Der Steuereinrichtung werden die die Bits repräsentierenden Datensignale der zu übertragenden Datenworte parallel über eine entsprechende Anzahl von Signalleitungen zugeführt, wobei diese auf jeder Signalleitung eine Auswertung
35 der Signalfzustandsänderungen der die Bits repräsentierenden Datensignale von unmittelbar aufeinanderfolgender Datenworten vornimmt. In Abhängigkeit des Auswerteergebnisses erzeugt die

Steuereinrichtung ein Steuersignal, welches den nachgeschalteten zusätzlichen Treiberstufen zugeführt wird, um diese ein- oder abzuschalten. Wenn an zwei Signalleitungen Signalzustandswechsel von zwei unmittelbar hintereinander zu übertragenden Datenworte vorliegen, steuert die Steuereinrichtung diejenigen zusätzlichen Treiberstufen an, die dem Signalpfad zugeordnet sind, bei dem ein Signalzustandswechsel innerhalb der Signalzustandspaare vorliegt. Wenn beispielsweise an drei Signalleitungen Signalzustandswechsel von zwei unmittelbar hintereinander zu übertragenden Datenworte vorliegen, steuert die Steuereinrichtung diejenigen zusätzlichen Treiberstufen an, die denjenigen Signalpfaden zugeordnet sind, bei denen gleiche Signalzustandswechsel innerhalb der Signalzustandspaare vorliegen, das heißt, entweder eine steigenden Flanke gefolgt von einer fallenden Flanke eines Datensignals oder eine fallende Flanke gefolgt von einer steigenden Flanke eines Datensignals. Wenn an mehr als drei Signalleitungen Signalzustandswechsel von zwei unmittelbar hintereinander zu übertragenden Datenworte vorliegen, steuert die Steuereinrichtung diejenigen zusätzlichen Treiberstufen an, die dem Signalpfad zugeordnet sind, bei dem ein Signalzustandswechsel innerhalb der Signalzustandspaare vorliegt.

Während des Betriebs der ersten und weiteren Treiberstufen besteht nunmehr die Möglichkeit, die Verstärkung des bitparallel auf den Signalleitungen anliegenden Datenwortes angepaßt, in Abhängigkeit von der Anzahl der Zustandswechsel der Bits innerhalb der Signalzustandspaare zu übertragender Datensignale vorzunehmen, um verzögerte Signalausgaben zu vermindern. Die Schaltung berücksichtigt die Anforderung, bei der Übertragung wechselnder Signalzustände auf jeder einzelnen Signalleitung eine zusätzliche Verstärkung der Signalfanken vorzunehmen, um die Signalqualität zu verbessern.

Weitere Einzelheiten und vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

Nachfolgend wird die Erfindung anhand von Figuren näher erläutert. Gleiche oder entsprechende Elemente in verschiedenen Figuren sind mit gleichen Bezugszeichen versehen.

5 Es zeigen:

Figur 1 ein Anwendungsbeispiel von Ausgangstreiberstufen,

10 Figur 2 ein Blockschaltbild der erfindungsgemäßen Schaltungs-
Anordnung,

Figur 3 eine die Funktion der Schaltungsanordnung darstellende Tabelle und

15 Figur 4 ein Ausführungsbeispiel einer über eine Referenzschaltung gesteuerte Verstärkerstufe.

Figur 1 zeigt ein Anwendungsbeispiel von Ausgangstreiberstufen für einen Halbleiterspeicher. Die hier gezeigte Schaltungsanordnung repräsentiert einen 4-bitweise organisierten Speicher 100, in dem die Datenworte als entsprechender Ladungswert gespeichert werden. Die einzelnen Bits eines Datenwortes werden bitparallel über die Signalleitungen S1, S2, S3 und S4 ausgegeben. Dies bedeutet, daß die Bits eines Datenwortes gleichzeitig ausgegeben werden. Treiberstufen 11, 12, 13 und 14 dienen zum Treiben der aus dem Speicher 100 ausgelesenen Datenworte. Zwischen den Speicherzellen und den Treiberstufen liegen mehrere Verstärkerstufen und den Datenlesepfad einstellende Funktionseinheiten. Die Treiberstufen werden auch als Off-Chip-Treiber bezeichnet. Die Daten werden von den Treiberstufen 11, 12, 13 und 14 nach dem Auslesen aus dem Speicher 100 mit ausreichendem Signalpegel an Leiterbahnen einer Platine abgegeben und an nachgeschaltete Bauelemente übertragen. Die einer bestimmten Spezifikation entsprechend ausgeführten Verstärkerstufen führen insbesondere beim Treiben von unmittelbar aufeinanderfolgenden Datenworten mit wechselnden Signalzuständen der zu übertragenden Bits auf

mehreren Signalleitungen aufgrund verminderter Gesamttreiberstärke zu einer Verschlechterung der Signalqualität und Verzögerung der Signalausgabe.

5 In Figur 2 ist eine Schaltungsanordnung 1 gemäß der Erfindung als Blockschaltbild dargestellt. Eine erste und weitere Verstärkerstufen 31, 32, 33 und 34 sind eingangsseitig mit den Signalleitungen S1, S2, S3 und S4 zur bitweisen Zuführung der
10 Datensignale 11, 12, 13 und 14 eines vier Bit umfassenden Datenwortes und ausgangsseitig mit den Ausgangsanschlüssen O1, O2, O3 und O4 zur Weiterleitung der verstärkten Datensignale verbunden. Die Treiberstufen 31, 32, 33 und 34 sind grundsätzlich eingeschaltet und verstärken die an ihren Eingängen anliegende Datensignale 11, 12, 13 und 14.

15

Einer Steuereinrichtung 2 werden an ihren Eingängen 21, 22, 23 und 24 über die Signalleitungen S1, S2, S3 und S4 die je ein Bit repräsentierenden Datensignale 11, 12, 13 und 14 des vier Bit umfassenden Datenwortes zugeführt. Die zusätzlichen
20 Treiberstufen 41, 42, 43 und 44 sind eingangs- und ausgangsseitig den ersten und weiteren Treiberstufen 31, 32, 33 und 34 parallel geschaltet. Die Eingangsanschlüsse 411, 421, 431 und 441 der zusätzlichen Treiberstufen 41, 42, 43 und 44 sind mit den Ausgangsanschlüssen 25, 26, 27 und 28 der vorgeschalteten Steuereinrichtung 2 verbunden. Die Steuereinrichtung 2
5 stellt über ihre Eingänge 21, 22, 23 und 24 die Signalzustände der die Bits repräsentierenden Datensignale 11, 12, 13 und 14 von zwei unmittelbar aufeinanderfolgenden Datenworten in Form von Signalzustandspaaren fest. Wenn an mehr als zwei Si-
30 gnalleitungen ein Signalzustandswechsel innerhalb der Signalzustandspaare auftritt, kann die Steuereinrichtung diejenigen zusätzlichen Treiberstufen 41, 42, 43 und 44 ansteuern, die der vom Signalzustandswechsel betroffenen Signalleitung S1, S2, S3 und S4 zugeordnet sind. Die an den Eingängen 411, 412,
35 413 und 414 der zusätzlichen Treiberstufen 41, 42, 43 und 44 durch die Steuereinrichtung 2 angelegten Steuersignale bewir-

ken eine Ab- oder Zuschaltung dieser Treiberstufen und somit eine verminderte oder erhöhte Verstärkung.

Die in der ersten Zeile der Figur 3 verwendeten Abkürzungen
5 haben die folgende Bedeutung:

SL bedeutet Signalleitung und bezieht sich auf die Signalleitungen S1, S2, S3 und S4, an denen parallel die Bits eines Datenwortes anliegen. DW1 bedeutet erstes Datenwort, DW2 be-
10 deutet zweites Datenwort und DW3 bedeutet drittes Datenwort. Die Datenworte DW1 bis DW3 werden unmittelbar hintereinander übertragen, wobei sie bitweise parallel an die Signalleitungen S1 bis S4 angelegt werden. SZP1 bedeutet erstes Signalzustandspaar und SZP2 bedeutet zweites Signalzustandspaar. Eine
15 unmittelbar hintereinander ablaufende Übertragung der die Bits repräsentierenden Datensignale zweier Datenworte ermöglicht die Feststellung eines Signalzustandspaares auf jeder Signalleitung. SZW1 bedeutet erster Signalzustandswechsel und SZW2 bedeutet zweiter Signalzustandswechsel. Ein Signalzustandswechsel bezieht sich auf die Änderung der Signalzustände innerhalb eines festgestellten Signalzustandspaares. Es
20 gibt zwei Arten von Signalzustandswechseln: eine steigende Flanke eines der Datensignale gefolgt von einer fallenden Flanke dieses Datensignals oder eine fallende Flanke eines der Datensignals gefolgt von einer steigenden Flanke dieses
25 Datensignals. Gemäß Spalte 307 und 308 ist ein Wechsel der Signalzustände innerhalb der Signalzustandspare als binäre "1", gleichbleibende Zustände als binäre "0" dargestellt. In den Spalten 310 und 311 bedeutet der Ausdruck "en" eingeschaltet und der Ausdruck "dis" ausgeschaltet. Bei der Übertragung der Datenworte DW1 bis DW3 sind die Treiberstufen 31 bis 34, gemäß Spalte 310, grundsätzlich eingeschaltet. Die in
30 Abhängigkeit der Art und Anzahl der parallelen Signalzustandswechsel erzeugten Steuersignale sind in der Tabelle in
35 Spalte 309 ebenfalls als binäre "1" dargestellt.

Figur 3 zeigt beispielhaft mögliche Signalzustandspaare bei der bitparallelen Übertragung von drei unmittelbar aufeinanderfolgenden Datenworten DW1, DW2 und DW3 sowie die in Abhängigkeit der Art und Anzahl der Zustandswechsel innerhalb der Signalzustandspaare erzeugten Steuersignale zur Ansteuerung der zusätzlichen Treiberstufen 41, 42, 43 und 44. Das Datenwort DW1 in Spalte 302 weist ein Bitmuster von vier zu übertragenden logischen "0000" auf, wobei die einzelnen Bits parallel und gleichzeitig über die Signalleitungen S1, S2, S3 und S4 übertragen werden.

In der nachfolgenden Betrachtung wird davon ausgegangen, daß das Datenwort DW1 bereits an den Ausgangsanschlüssen O1, O2 O3 und O4 anliegt. Die Steuereinrichtung 2 hat an jedem ihrer Eingänge 21, 22, 23 und 24 die Zustände der die Bits repräsentierenden Datensignale des ersten Datenwortes DW1 festgestellt.

Ausgehend von dem bereits übertragenen Datenwort DW1, gemäß Spalte 301, stellt die Steuereinrichtung 2 das Bitmuster des in Spalte 302 unmittelbar nachfolgenden zweiten Datenwortes DW2 fest. Datenwort DW2 in Spalte 302 weist ein Bitmuster von "0100" auf, welches wiederum bitweise parallel und gleichzeitig über die Signalleitungen S1, S2, S3 und S4 übertragen wird, so daß die Steuereinrichtung 2 unter Einbeziehung der bereits erfolgten Übertragung des Datenwortes DW1 auf je einer der Signalleitungen S1, S2, S3 und S4 die in der Spalte 305 dargestellten Signalzustandspaare mit den Zuständen "00", "01", "00" und "00" feststellt. Wie aus Spalte 307 ersichtlich, ermittelt die Steuereinrichtung für jedes Signalzustandspaar, ob ein Signalzustandswechsel innerhalb der Signalzustandspaare vorliegt. Folglich liegt bei den beiden unmittelbar aufeinander folgenden Datenworten DW1 und DW2 nur auf der Signalleitung S2 ein Signalzustandswechsel vor.

Ein unmittelbar nach Datenwort DW2 zu übermittelndes Datenwort DW3 weist ein Bitmuster von "1010" auf. Die Steuerein-

richtung 3 ermittelt aufgrund der unmittelbar zuvor übertra-
genen Datensignale die in der Spalte 306 dargestellten Si-
gnalzustandspaare mit den Zuständen "01", "10", "01" und
"00", so daß, wie aus Spalte 308 ersichtlich, auf den Signal-
5 leitungen S1, S2 und S3 je ein Signalzustandswechsel inner-
halb der Signalzustandspaare vorliegt.

Die Steuereinrichtung 2 in Abhängigkeit der Art und Anzahl
der die bitparallelen Datensignale zweier unmittelbar hinter-
10 einander übertragener Datenworte betreffenden Signalzustands-
wechsel ein Steuersignal.

Die Verstärkerstufen 31, 32, 33 und 34, wie in Spalte 310
dargestellt, sind grundsätzlich eingeschaltet, während die
15 Verstärkerstufen 41, 42, 43 und 44, deren Schaltzustände in
Spalte 311 jeweils für die Übertragung der Datenworte DW2 und
DW3 dargestellt sind, in Abhängigkeit der erzeugten Steuersi-
gnale der Steuereinrichtung 2, gemäß Spalte 309, zu- oder ab-
geschaltet werden. Im vorliegenden Beispiel liegen bei der
20 Übertragung des dritten Datenwortes DW3 Signalzustandswechsel
parallel auf drei Signalleitungen S1, S2 und S3 vor. Die
Steuereinrichtung 2 stellt fest, daß drei Signalzustandspaare
mit einem Signalzustandswechsel gleichzeitig vorliegen. Die
Steuereinrichtung 2 erzeugt jedoch nur zwei Steuersignale, da
25 in vorgegebenem Fall eine Verstärkung nur für die Mehrzahl
vorliegender Signalzustandspaare mit einem Signalzustands-
wechsel gleicher Art vorgesehen ist, gemäß Spalte 309, auf
den Signalleitungen S1 und S3, zur Ansteuerung der Treiber-
stufen 41 und 43. Die Treiberstufen 41 und 43 werden einge-
30 schaltet und nehmen eine zusätzliche Verstärkung der die Bits
repräsentierenden Datensignale des Datenwortes DW3 auf den
Signalleitungen S1 und S3 vor.

Figur 4 zeigt eine mögliche Ausführungsform eines Ausgangs-
35 Treibers einer Signalleitung S1 umfassend die beiden Verstär-
kerstufen 31 und 41. Die beiden Verstärkerstufen 31 und 41
sind an ihren Ein- und Ausgängen parallel geschaltet. Die

Verstärkerstufen 31 und 41 weisen komplementäre Feldeffekttransistoren 311, 312 und 411, 412 eines p-Kanal-Typs und eines n-Kanal-Typs auf, die in Reihe geschaltet sind. Die p-Kanal-Feldeffekttransistoren 311 und 411 sind über ihre Source-Anschlüsse an das Spannungspotential VDDQ und die n-Kanal-Feldeffekttransistoren 312 und 412 über ihre Source-Anschlüsse an das Bezugspotential VSSQ angeschlossen. Die Kopplungsknoten der Drain-Anschlüsse der Feldeffekttransistoren 311, 312 und 411, 412 sind parallel geschaltet und dienen als Ausgang der Verstärkerstufe.

Das ein Bit repräsentierende Datensignal 11 wird der Reihenschaltung der Feldeffekttransistoren 311 und 312 direkt, dem p-Kanal-Feldeffekttransistor 411 über ein logisches NAND-Gatter 413 und dem n-Kanal-Feldeffekttransistor 412 über ein AND-Gatter 414 zugeführt. Das Datensignal wird an einem Eingang des NAND-Gatters 413 invertiert. Die weiteren Eingänge der logischen Verknüpfungselemente 413 und 414 sind mit der Steuereinrichtung zur Zuführung eines Steuersignals verbunden.

Zur Vereinfachung der folgenden Ausführungen werden steigende Flanken mit logisch "1" und fallende Flanken mit logisch "0" bezeichnet.

Die p-Kanal-Feldeffekttransistoren 311 und 411 schalten leitend, wenn an ihren Gateanschlüssen eine logische "0" anliegt; sie sperren, wenn an ihren Gateanschlüssen eine logische "1" anliegt. Die n-Kanal-Feldeffekttransistoren 312 und 412 schalten leitend, wenn an ihren Gateanschlüssen eine logische "1" anliegt; sie sperren, wenn an ihren Gateanschlüssen eine logische "0" anliegt.

Wie bereits in den Ausführungen der Figur 2 beschrieben erzeugt die Referenzschaltung 2 ein Steuersignal zur Ansteuerung der Gateanschlüsse der Feldeffekttransistoren 411 und 412. Den logischen Verknüpfungselementen 413 und 414 wird an

ihren Eingängen das Datensignal der Signalleitung S1 und das von der Referenzschaltung 2 erzeugte Steuersignal zugeführt.

Wenn das Datensignal eine logische "1" aufweist, so liegt an
5 den Gateanschlüssen der Feldeffekttransistoren 311 und 312 eine logische "1" an, so daß der Feldeffekttransistor 312 leitend schaltet; wenn das Datensignal eine logische "0" aufweist, so liegt an den Gateanschlüssen der Feldeffekttransistoren 311 und 312 eine logische "0" an, so daß der Feldeffekttransistor 311 leitend schaltet.
10

Ein Datensignal mit einer logischen "1" wird am Eingang des NAND-Gatters 413 zu einer logischen "0" invertiert. Wenn das
dem NAND-Gatter 413 zugeführte Steuersignal der Referenz-
15 schaltung 2 eine logische "0" oder eine logische "1" aufweist, so ergibt die Verknüpfung des NAND-Gatters 413 am Ausgang eine logische "1" und der Feldeffekttransistor 411 sperrt. Am Eingang des Feldeffekttransistors 411 liegt nur dann eine logische "0" an, wenn das Datensignal 11 eine logi-
20 sche "0" und das Steuersignal eine logische "1" aufweist, so daß dieser leitend schaltet und eine zusätzliche Verstärkung des Datensignals 11 bewirkt.

Die Verknüpfung der dem AND-Gatter 414 zugeführten Signale
25 ergibt nur für den Fall an seinem Ausgang eine logische "1", bei dem sowohl das Datensignal 11 als auch das Steuersignal der Referenzschaltung 2 eine logische "1" aufweisen, so daß der Feldeffekttransistor 412 leitend schaltet und eine zusätzliche Verstärkung des Datensignals bewirkt.

30

Die Ausgabe des verstärkten Datensignals erfolgt über den Ausgangsanschluß O1 an die metallischen Anschlußflächen (Pads), die sich in der obersten Metallisierungsebene des Halbleiterchips befinden. Die Kontaktierung der Anschlußflä-
35 chen mit den Anschlußstiften des Gehäuses ist über Bonddrähte realisiert.

Patentansprüche

1. Schaltungsanordnung (1) zur bitparallelen Ausgabe eines Datenwortes, aufweisend:

5

- eine erste und zumindest eine weitere Signalleitung (S1, S2, S3 und S4), die parallel mindestens zwei Bits repräsentierende Datensignale (11, 12, 13 und 14) eines mindestens zwei Bits umfassenden Datenwortes bereitstellen;

10

- einen ersten und zumindest einen weiteren Ausgangsanschluß (O1, O2) zum Abgriff der die Bits repräsentierenden verstärkten Datensignale des Datenwortes;

15

- eine Steuereinrichtung (2), die eingangsseitig mit den Signalleitungen (S1, S2, S3 und S4) verbunden ist und die an jedem ihrer mindestens zwei Eingänge (21, 22, 23 und 24) die Signalzustände der die Bits repräsentierenden Datensignale (11, 12, 13 und 14) von zwei unmittelbar aufeinanderfolgenden Datenworten feststellt und ausgangsseitig mindestens zwei Ausgänge (25, 26, 27 und 28) zur Ausgabe je eines Steuersignals aufweist;

20

- eine erste und zumindest eine weitere Treiberstufe (31, 32, 33 und 34), denen jeweils eingangsseitig über die Signalleitungen (S1, S2, S3 und S4) die die Bits repräsentierenden Datensignale (11, 12, 13 und 14) zugeführt werden und die ausgangsseitig mit den Ausgangsanschlüssen (O1, O2) verbunden sind;

25

- wobei je einem Eingangs- und einem Ausgangsanschluß der ersten und weiteren Treiberstufe (31, 32, 33 und 34) eine zusätzliche Treiberstufe (41, 42, 43 und 44) parallel geschaltet ist;

30

- wobei je ein Eingang (411, 421, 431 und 441) der zusätzlichen Treiberstufen (41, 42, 43 und 44) mit einem der Ausgänge (25, 26, 27 und 28) der Steuereinrichtung (2) verbunden ist, um eines der von der Steuereinrichtung (2) erzeugten Steuersignale zu empfangen, um die zusätzlichen Treiberstufen freizugeben oder abzuschalten.

35

2. Schaltungsanordnung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t, daß
die Steuereinrichtung (2) an jedem ihrer Eingänge (21, 22, 23
und 24) für zwei unmittelbar aufeinanderfolgende Datenworte
5 die Signalzustände der die Bits repräsentierenden Datensigna-
le (11, 12, 13 und 14) eines der nachfolgend genannten Si-
gnalzustandspaare feststellt:

- 10 a) eine steigende Flanke eines der Datensignale (11, 12, 13
und 14) gefolgt von einer fallenden Flanke dieses Datensi-
gnals (11, 12, 13 und 14); oder
- b) eine fallende Flanke eines der Datensignals (11, 12, 13
und 14) gefolgt von einer steigenden Flanke dieses Daten-
signals (11, 12, 13 und 14).

15 3. Schaltungsanordnung nach einem der Ansprüche 1 und 2,
d a d u r c h g e k e n n z e i c h n e t, daß
die jeweiligen zusätzlichen Treiberstufen (41, 42, 43 und 44)
sowohl über das zugeführte Datensignal (11, 12, 13 und 14)
20 als auch über das von der Steuereinrichtung (2) erzeugte
Steuersignal angesteuert werden.

4. Schaltungsanordnung nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t, daß
5 die Steuereinrichtung (2), wenn sie feststellt, daß zwei der
genannten Signalzustandspaare gleichzeitig vorliegen, dann je
ein Steuersignal an diejenigen zusätzlichen Treiberstufen
(41, 42, 43 und 44) weiterleitet, die derjenigen Signallei-
tung zugeordnet sind, für die eines der Signalzustandspaare
30 festgestellt wird;

- die Steuereinrichtung (2), wenn sie feststellt, daß drei
der genannten Signalzustandspaare gleichzeitig vorliegen,
dann je ein Steuersignal für zwei gleiche Signalzustandspaare
an diejenigen zusätzlichen Treiberstufen (41, 42, 43 und 44)
35 weiterleitet, die derjenigen Signalleitung zugeordnet sind,
für die diese gleichen Signalzustandspaare festgestellt wer-
den;

- die Steuereinrichtung (2), wenn sie feststellt, daß mehr als drei der genannten Signalzustandspaare gleichzeitig vorliegen, dann je ein Steuersignal an diejenigen zusätzlichen Treiberstufen (41, 42, 43 und 44) weiterleitet, die derjenigen Signalleitung zugeordnet sind, für die eines der Signalzustandspaare festgestellt wird.

5. Schaltungsanordnung nach Anspruch 4,
d a d u r c h g e k e n n z e i c h n e t, daß
10 eine Ansteuerung der zusätzlichen Treiberstufen (41, 42, 43 und 44) unmittelbar vor der Übertragung des zweiten Bits eines Signalzustandspaares erfolgt.

Zusammenfassung

Schaltungsanordnung zur bitparallelen Ausgabe eines Datenwortes

5

Eine Schaltungsanordnung (1) zur bitparallelen Ausgabe der Bits eines Datenwortes umfaßt mindestens zwei Signalleitungen (S1 S2, S3 und S4), über die die Bits des Datenwortes repräsentierenden Datensignale an Treiberstufen (31, 32, 33 und 34) und an eine Referenzschaltung zugeführt werden. Weitere Treiberstufen (41, 42, 43 und 44) sind den Treiberstufen (31, 32, 33 und 34) parallel geschaltet und eingangsseitig mit der Steuereinrichtung (2) verbunden. Die Steuereinrichtung (2) stellt die Signalzustände der zu übertragenden Datensignale (11, 12, 13 und 14) auf jeder Signalleitung (S1, S2, S3 und S4) fest und generiert in Abhängigkeit der Art und Anzahl der Signalzustandswechsel zu übertragender Bitfolgen ein Steuerungssignal. Es können diejenigen Treiberstufen (41, 42, 43 und 44) angesteuert werden, die der Signalleitung zugeordnet sind, bei der ein Signalzustandswechsel vorliegt.

Figur 2

Bezugszeichenliste

	1	Schaltungsanordnung
	2	Steuereinrichtung
5	100	Schaltungsanordnung
	S1	Signalleitung
	S2	Signalleitung
	S3	Signalleitung
	S4	Signalleitung
10	01	Ausgangsanschluß
	02	Ausgangsanschluß
	03	Ausgangsanschluß
	04	Ausgangsanschluß
	11	Eingangssignal
15	12	Eingangssignal
	13	Eingangssignal
	14	Eingangssignal
	31	erste Treiberstufe
	32	weitere Treiberstufe
20	33	weitere Treiberstufe
	34	weitere Treiberstufe
	41	zusätzliche Treiberstufe
	42	zusätzliche Treiberstufe
	43	zusätzliche Treiberstufe
25	44	zusätzliche Treiberstufe
	411	Eingangsanschluß der zusätzlichen Treiberstufe
	421	Eingangsanschluß der zusätzlichen Treiberstufe
	422	Eingangsanschluß der zusätzlichen Treiberstufe
	423	Eingangsanschluß der zusätzlichen Treiberstufe
30	21	Eingangsanschluß der Steuereinrichtung
	22	Eingangsanschluß der Steuereinrichtung
	23	Ausgangsanschluß der Steuereinrichtung
	24	Ausgangsanschluß der Steuereinrichtung

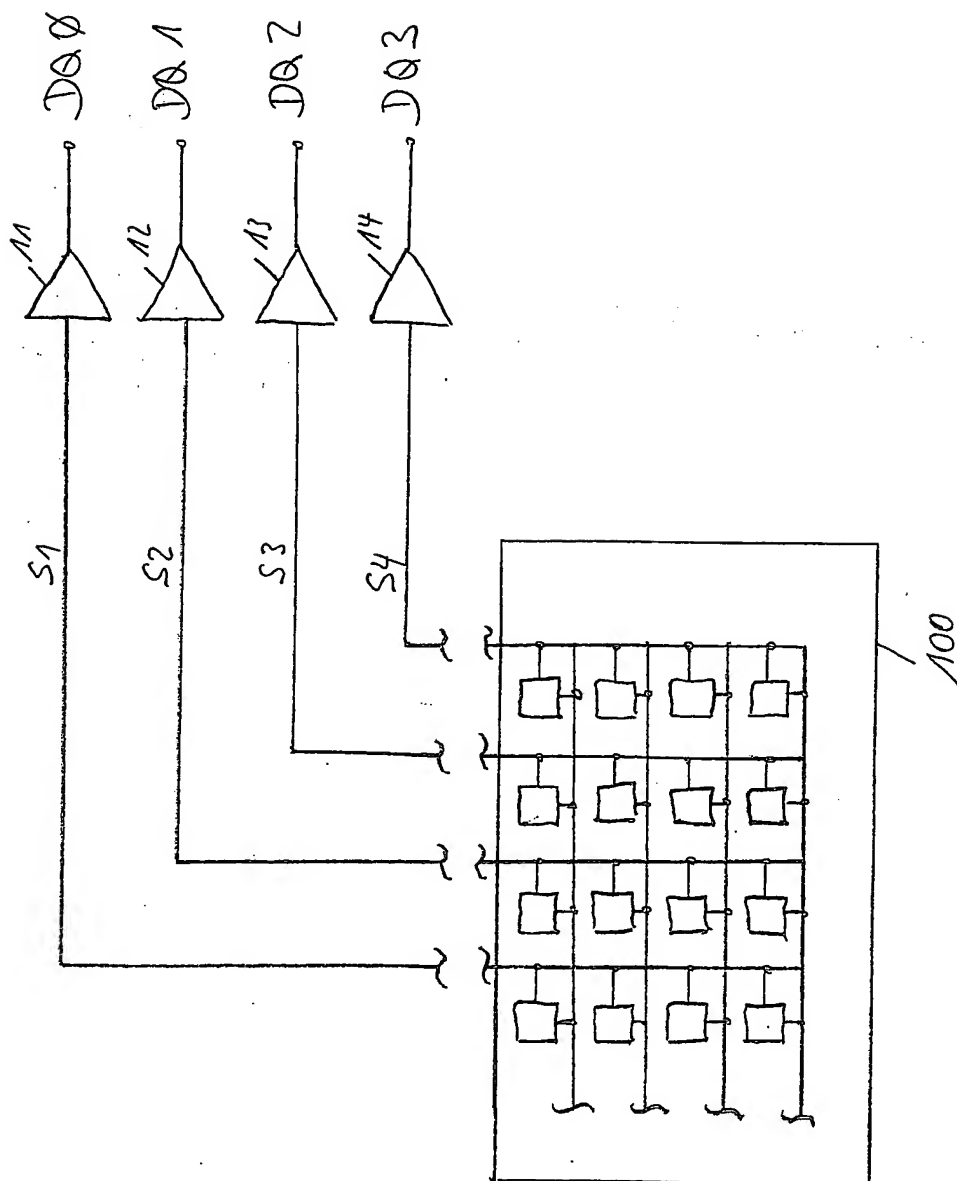


Figure 1

Figure 2

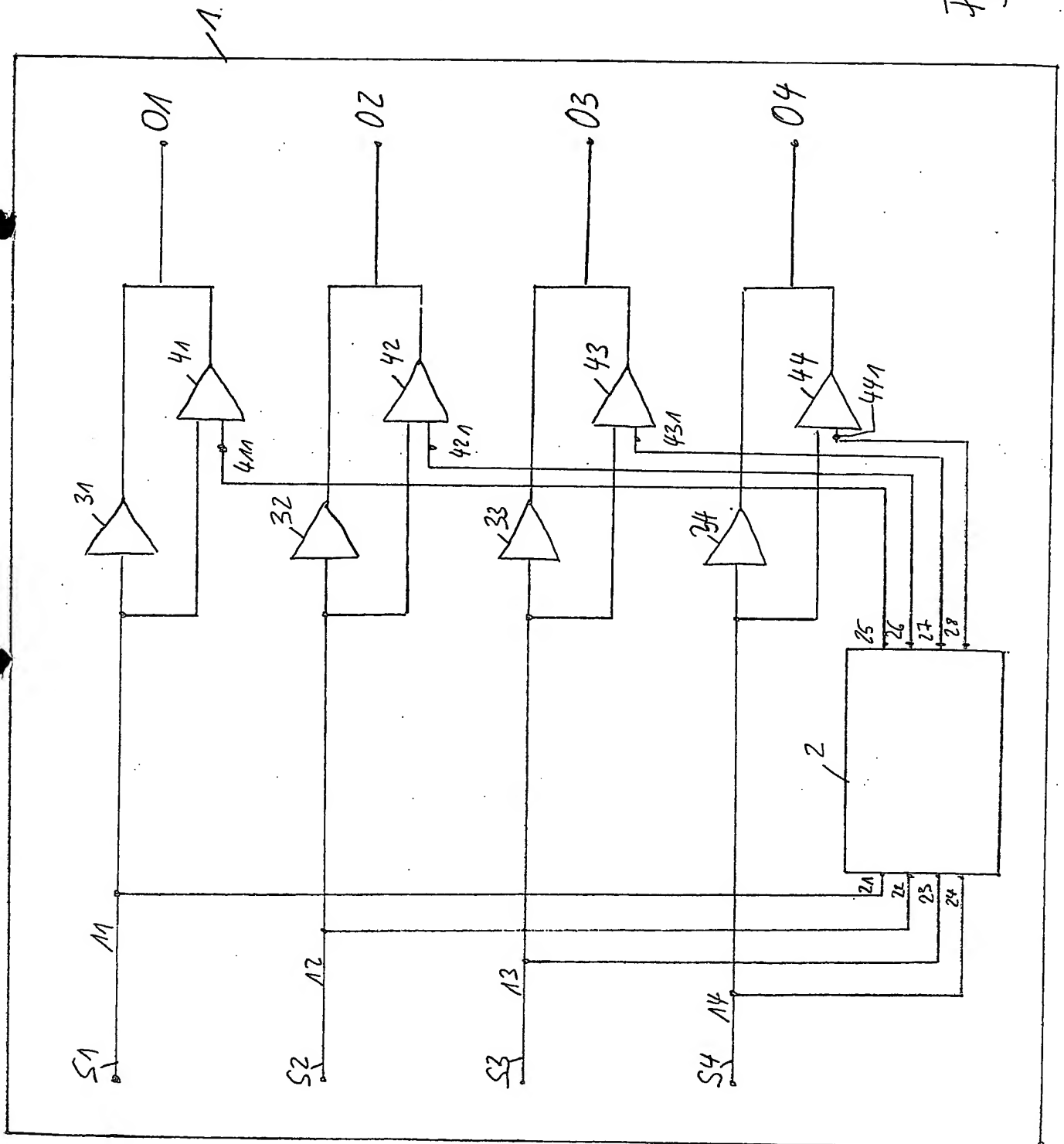
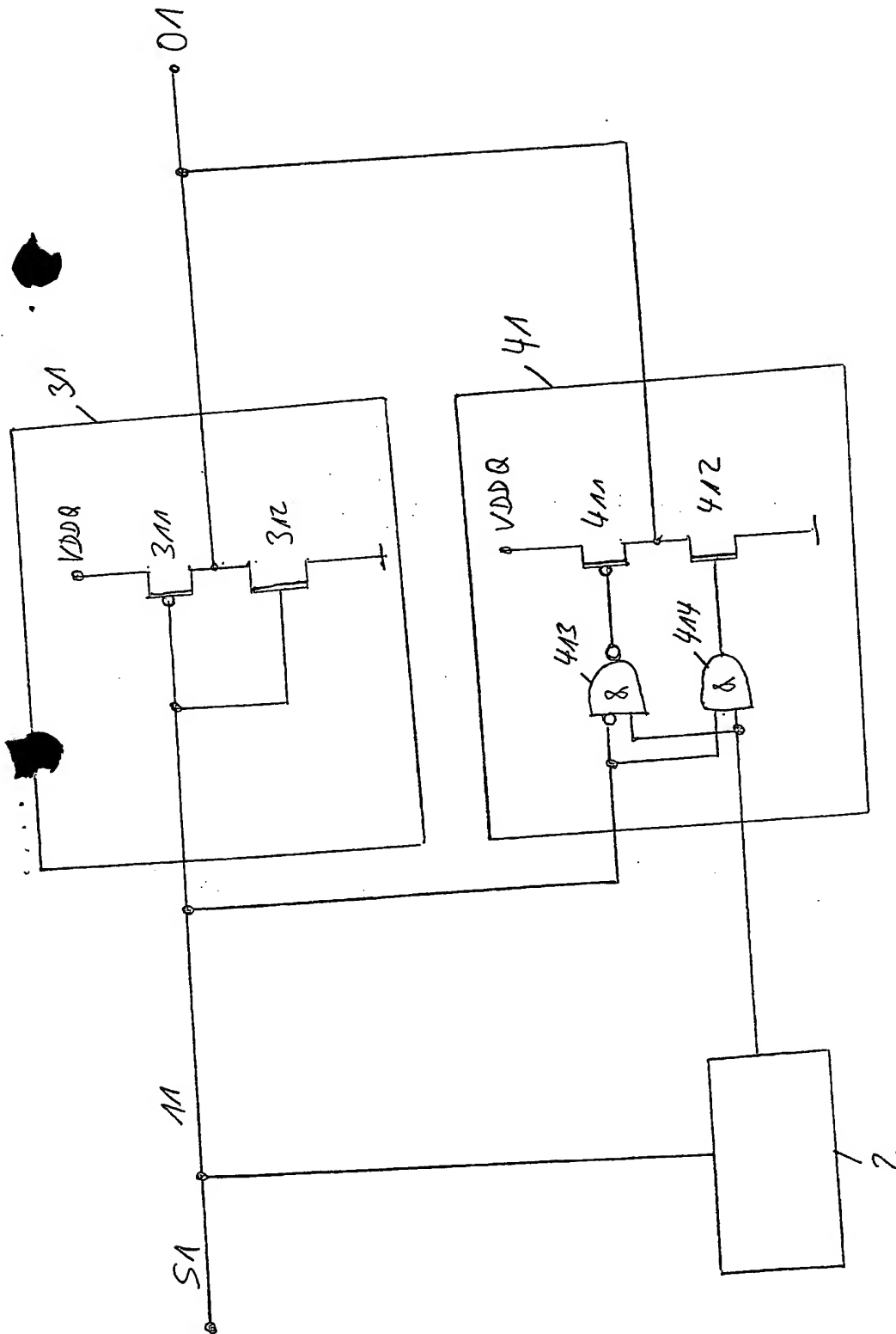


Figure 3

301	303	305	307	309	311	310					
SL	DW1	DW2	DW3	SZP1	SZP2	SZW1	SZW2	erzeugte Steuersignale nach Übertragung DW1	Treiberstufen Übertragung DW2	Zusätzliche Treiberstufen Übertragung DW2	Übertragung DW2
S1	0	0	1	00	01	0	1	-	1	31 = on	41 = on
S2	0	1	0	01	10	1	1	-	-	32 = on	42 = dis
S3	0	0	1	00	01	0	1	-	1	33 = on	43 = on
S4	0	0	0	00	00	0	0	-	-	34 = on	44 = dis
	302	304	306	308	310						

Figure 4